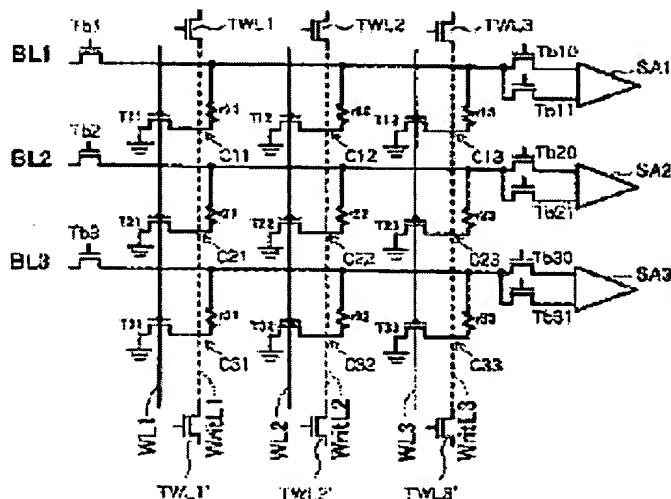


# FERROMAGNETIC MEMORY AND ITS INFORMATION REPRODUCING METHOD

**Patent number:** JP2002140889  
**Publication date:** 2002-05-17  
**Inventor:** HIRAI MASAHIKO  
**Applicant:** CANON KK  
**Classification:**  
**- International:** G11C11/15; G11C11/14; H01F10/16; H01L27/105;  
H01L43/08  
**- european:**  
**Application number:** JP20000334492 20001101  
**Priority number(s):** JP20000334492 20001101

## Abstract of JP2002140889

**PROBLEM TO BE SOLVED:** To provide a memory structure of which cells area is small in a 1T1R type MRAM and in which stored information can be detected stably and its reproducing method. **SOLUTION:** This ferromagnetic memory is provided with bit lines BL1-3, variable resistors (r) 11-13, 21-23, 31-33 which can select an electric resistance value by selecting the direction of magnetization of ferromagnetic body, field effect transistors T11-13, 21-23, 31-33 connected to the variable resistors, and sense amplifiers SA1-SA3 connected to the prescribed bit lines and detecting a signal of a bit line after and before the direction of magnetization of the ferromagnetic body is reversed at the time of read-out operation. At the time of its read-out operation, an electric resistance value of the variable resistor (r) is obtained, held and the direction of magnetization of the ferromagnetic body of a soft layer is reversed, after that, an electric resistance value is obtained again, and information stored in a hard layer is discriminated from a result in which the held electric resistance value is compared with an electric resistance value after reversing of the direction of magnetization by sense amplifiers SA.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-140889

(P2002-140889A)

(43) 公開日 平成14年5月17日 (2002.5.17)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト* (参考)
G 1 1 C 11/15		G 1 1 C 11/15	5 E 0 4 9
11/14		11/14	A 5 F 0 8 3
			E
H 0 1 F 10/16		H 0 1 F 10/16	
H 0 1 L 27/105		H 0 1 L 43/08	Z
審査請求 未請求 請求項の数20 O L (全 10 頁) 最終頁に続く			

(21) 出願番号 特願2000-334492 (P2000-334492)

(22) 出願日 平成12年11月1日 (2000.11.1)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 平井 匡彦

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

Fターム(参考) 5E049 AA01 AA04 AC05 BA06 CB02

DB02 DB12

5F083 FZ10 JA39 JA40 MA06 MA19

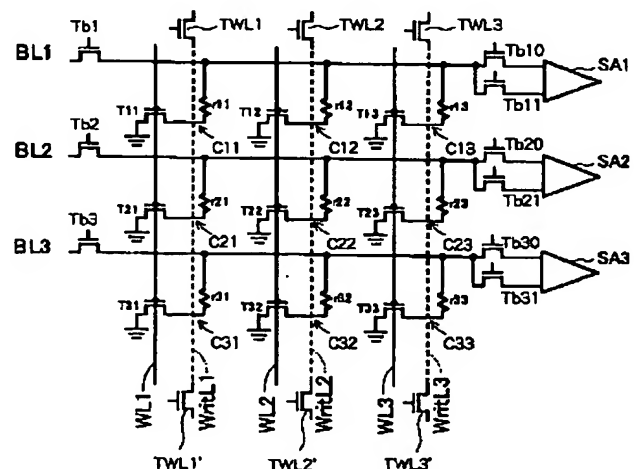
NA01 NA08

(54) 【発明の名称】 強磁性体メモリおよびその情報再生方法

(57) 【要約】

【課題】 1T1R型MRAMにおいてセル面積が小さく、かつ、記憶した情報を安定的に検出できるメモリ構造およびその再生方法を提供する。

【解決手段】 ビット線BL1~3と、強磁性体の磁化の方向を選択することで電気抵抗値を選択可能な可変抵抗器r11~13, 21~23, 31~33と、可変抵抗器に接続された電界効果型トランジスタT11~13, 21~23, 31~33と、所定のビット線に接続され読み出し動作時に強磁性体の磁化方向が反転する前後のビット線の信号を検知するセンスアンプSA1~3とを備えた強磁性体メモリの読み出し動作時、可変抵抗器rの電気抵抗値を取得、保持してソフト層の強磁性体の磁化方向を反転させ、その後再び電気抵抗値を取得し、保持された電気抵抗値と磁化方向が反転した後の電気抵抗値をセンスアンプSAで比較した結果からハード層に記憶された情報を判別する。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項 1】 磁性体からなり、磁化の向きにより情報を記憶するハード層、非磁性層、前記ハード層より保磁力が小さな磁性体からなるソフト層を有する可変抵抗器を備えた強磁性体メモリからの情報再生方法において、

まず、前記ソフト層を初期化すると共に前記可変抵抗器の抵抗値を検出、保持し、  
次いで、前記ソフト層の磁化を反転させ、  
そのとき検出された前記可変抵抗器の抵抗値と前記保持しておいた抵抗値とを比較し、抵抗値の増減により前記

ハード層に記憶された情報を再生する情報再生方法。

【請求項 2】 前記非磁性層は、絶縁体である請求項 1 に記載の情報再生方法。

【請求項 3】 前記非磁性層は、導電体である請求項 1 の情報再生方法。

【請求項 4】 前記磁性体は膜面に対し垂直な磁化を持つ請求項 1 に記載の情報再生方法。

【請求項 5】 前記磁性体は膜面に水平な磁化を持つ請求項 1 に記載の情報再生方法。

【請求項 6】 磁性体からなり、磁化の向きにより情報を記憶するハード層、非磁性層、前記ハード層より保磁力が小さな磁性体からなるソフト層を有する可変抵抗器と、

前記ソフト層の磁化を初期化し、また、初期化状態から反転させる磁界発生手段と、

前記初期化状態における抵抗値を保持する保持回路と、  
前記反転後の前記可変抵抗器の抵抗値と前記保持回路に保持された抵抗値とを比較し、再生信号を出力する信号検出回路とを有することを特徴とする強磁性体メモリ。

【請求項 7】 互いに平行な複数のビット線と、互いに平行で前記ビット線に直交する複数のワード線と、半導体基板上に形成され制御端子が近接する前記ワード線に接続され、一方の端子が接地されたスイッチング素子とを備え、

前記可変抵抗器と前記スイッチング素子は前記ビット線と前記ワード線の各交点に対応して設けられ、

前記可変抵抗器の一方の端子は前記スイッチング素子の他方の端子に接続され、他方の端子は近接する前記ビット線に接続されていることを特徴とする請求項 6 記載の強磁性体メモリ。

【請求項 8】 前記信号検出回路及び前記保持回路は前記ビット線毎に設けられている請求項 7 記載の強磁性体メモリ。

【請求項 9】 前記信号検出回路はセンスアンプを含み、前記センスアンプの 2 つの入力端子の一方に前記初期化状態における前記ビット線の電位を入力し、他方に前記反転後の前記ビット線の電位を入力し、前記 2 つの入力端子の電位を比較することで前記情報を検出する請求項 8 記載の強磁性体メモリ。

【請求項 10】 前記保持回路はコンデンサであり、前

記センスアンプの 2 つの入力端子のうちの少なくとも前記初期化状態における前記ビット線の電位が入力される方と接地電位との間に設けられている請求項 9 記載の強磁性体メモリ。

【請求項 11】 前記センスアンプの他方の入力端子と設置電位との間にもコンデンサが設けられている請求項 10 記載の強磁性体メモリ。

【請求項 12】 前記コンデンサの容量は、前記センスアンプの配線の寄生容量より大きい、請求項 10 又は 11 記載の強磁性体メモリ。

【請求項 13】 前記スイッチング素子は、電界効果トランジスタであり、ゲート端子を前記制御端子、ソース端子を前記スイッチング素子の一方の端子、ドレイン端子を前記スイッチング素子の他方の端子としている請求項 7 記載の強磁性体メモリ。

【請求項 14】 前記スイッチング素子は薄膜トランジスタである請求項 7 記載の強磁性体メモリ。

【請求項 15】 前記半導体基板はシリコン単結晶基板である請求項 7 記載の強磁性体メモリ。

【請求項 16】 前記非磁性層は、絶縁体である請求項 6 記載の強磁性体メモリ。

【請求項 17】 前記非磁性層は、導電体である請求項 6 記載の強磁性体メモリ。

【請求項 18】 前記磁性体は膜面に対し垂直な磁化を持つ請求項 6 記載の強磁性体メモリ。

【請求項 19】 前記磁性体は膜面に水平な磁化を持つ請求項 6 記載の強磁性体メモリ。

【請求項 20】 前記ワード線に平行に設けられた複数の書き込み線を有し、前記磁界発生手段は前記書き込み線に電流を流すことにより所望の前記可変抵抗器に対して磁界を印加する請求項 7 記載の強磁性体メモリ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、情報を記憶する記憶メモリに関し、特に、強磁性体を用いた不揮発性メモリに係るものである。

## 【0002】

【従来の技術】一般に、強磁性体は外部から印加された磁場によって強磁性体内に発生した磁化が外部磁場を取り除いた後にも残留する（これを残留磁化という）という特性を有している。また、強磁性体は磁化の方向や磁化の有無などによってその電気抵抗が変化する。これは磁気抵抗効果と呼ばれており、そのときの電気抵抗値の変化率を磁気抵抗比（Magnetoresistance Ratio; MR 比）という。磁気抵抗比が大きい材料としては巨大磁気抵抗（GMR; Giant Magnetoresistance）材料や超巨大磁気抵抗（CMR; Colossal Magnetoresistance）材料があり、金属、合金、複合酸化物などである。例えば、Fe、Ni、Co、Gd、

Tbおよびこれらの合金や、 $\text{La}_x\text{Sr}_{1-x}\text{MnO}_9$ 、 $\text{La}_x\text{Ca}_{1-x}\text{MnO}_9$ などの複合酸化物などの材料がある。磁気抵抗材料の残留磁化を利用すれば、磁化方向や磁化の有無により電気抵抗値を選択して情報を記憶する不揮発性メモリを構成することができる。このような不揮発性メモリは磁気メモリ (MRAM; Magnetic Random Access Memory) と呼ばれている。

【0003】近年、開発が進められているMRAMの多くは、巨大磁気抵抗材料の強磁性体の残留磁化で情報を記憶しており、磁化方向の違いによって生じる電気抵抗値の変化を電圧に変換して記憶した情報が読み出される方式を採用している。また、書き込み用配線に電流を流して誘起される磁場により強磁性体メモリセルの磁化方向を変化させることで、メモリセルに情報を書き込み、また、その情報を書き換えることができる。

【0004】MRAMのセル構造やその駆動方法は、R. E. Scheuerlein (1998 Proc. of Int NonVolatile Memory Conf. P 47) に示されている。そこでは、互いに交差した1対の書き込み線および1対の読み出し線を配したもののや、互いに交差した1対の配線で書き込み線と読み出し線を兼ねた巨大磁気抵抗薄膜を含むメモリセルと、これに直列に接続されたダイオードからなるもの (マトリックス型) が提案されている。

【0005】また、特開平6-84347号公報において、互いに交差した1対の配線が書き込み線と読み出し線を兼ねており、セル選択用の電界効果型トランジスタと巨大磁気抵抗薄膜を含む抵抗素子とを組み合わせたメモリセル (1T1R型; 単位セルが1つのトランジスタと1つの磁気抵抗素子からなる構造である) が開示されている。巨大磁気抵抗薄膜を含むメモリセルは、磁化の方向によって電気抵抗値が異なる磁気抵抗効果を示す。また、特開平6-84347号公報には1T1R型のメモリにおいて記憶情報を読み出す方法も開示されている。

【0006】また、2000 Proc. of Int Solid-State Circuits Conf. P 128では、2つの電界効果型トランジスタと2つのTMR素子を組み合わせた2T2R型の構成のメモリセルが提案されている。これによれば、2つのTMR素子の抵抗値を相補的に設定することで信号強度を大きくすることができる。

【0007】

【発明が解決しようとする課題】R. E. Scheuerlein (1998 Proc. of Int NonVolatile Memory Conf. P 47) に示されているようなマトリックス型においては、信号強度が小さいため、安定的に記憶情報を検出することが困難である。

【0008】特開平6-84347号公報において開示

された1T1R型のメモリセルは、比較的大きな磁気抵抗変化を示すトンネル磁気抵抗素子 (TMR (Tunnel Magnetoresistance) 素子) を用いた場合でも、0.3V程度の印加電圧による抵抗値の変化は20~30%以下であり、さらに印加電圧が大きくなると磁気抵抗変動率が急激に小さくなるため、正常に読み出しを行うことが困難である。また、特開平6-84347号公報に開示された読み出し方法では、TMR素子の抵抗のばらつきやトランジスタのオン時の抵抗のばらつきなどの影響を低減させるために、きわめて大きな磁気抵抗比が必要となる。

【0009】また、2000 Proc. of Int Solid-State Circuits Conf. P 128で提案された2T2R型の構成では1T1R型と比較してセル面積が2倍程度と大きくなる。

【0010】上記したように、強磁性体の磁化方向を選択することで磁気抵抗値を可変とした可変抵抗器を用いた1T1R型MRAMにおいて、セル面積を小さくすることと、安定的に動作させることを両立させることは困難である。

【0011】本発明は、このような従来の技術が有する未解決の課題を解決するべくなされたものであり、1T1R型MRAMにおいてセル面積が小さく、かつ、記憶した情報を安定的に検出できるメモリ構造およびその駆動方法を提供することを目的としている。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明の方法は、磁性体からなり、磁化の向きにより情報を記憶するハード層、非磁性層、ハード層より保磁力が小さな磁性体からなるソフト層を有する可変抵抗器を備えた強磁性体メモリからの情報再生方法において、先ず、ソフト層を初期化すると共に可変抵抗器の抵抗値を検出、保持し、次いで、ソフト層の磁化を反転させ、そのとき検出された可変抵抗器の抵抗値と保持しておいた抵抗値とを比較し、抵抗値の増減によりハード層に記憶された情報を再生する。

【0013】したがって、ソフト層の磁化方向を反転させて可変抵抗器の抵抗値を変化させ、保持された反転前の抵抗値と反転後の抵抗値の差からハード層に記憶された情報を読み取るので、記憶された情報を保持したまま正確に読み取ることができ、読み出し動作の後に書き込みを行う必要がない。

【0014】本発明の実施態様によれば、非磁性層は、絶縁体である。

【0015】また、非磁性層は、導電体であってもよい。

【0016】本発明の実施態様によれば、磁性体は膜面に対し垂直な磁化を持っている。

【0017】本発明の実施態様によれば、磁性体は膜面に水平な磁化を持っている。

【0018】また、本発明の強磁性体メモリは、磁性体からなり、磁化の向きにより情報を記憶するハード層、非磁性層、ハード層より保磁力が小さな磁性体からなるソフト層を有する可変抵抗器と、ソフト層の磁化を初期化し、また、初期化状態から反転させる磁界発生手段と、初期化状態における抵抗値を保持する保持回路と、反転後の可変抵抗器の抵抗値と保持回路に保持された抵抗値とを比較し、再生信号を出力する信号検出回路とを有することを特徴とする。

【0019】したがって、磁化発生手段によりソフト層を初期化した状態における可変抵抗器の抵抗値を保持回路で保持し、磁化発生手段でソフト層の磁化方向を反転させて可変抵抗器の抵抗値を変化させ、信号検出回路で反転の前後の抵抗値からハード層に記憶された情報を読み取るので、記憶された情報を保持したままで正確に読み取ることができ、読み出し動作の後に書き込みを行う必要がない。

【0020】本発明の実施態様によれば、互いに平行な複数のビット線と、互いに平行で前記ビット線に直交する複数のワード線と、半導体基板上に形成され制御端子が近接するワード線に接続され、一方の端子が接地されたスイッチング素子とを備え、可変抵抗器とスイッチング素子はビット線とワード線の各交点に対応して設けられ、可変抵抗器の一方の端子はスイッチング素子の他方の端子に接続され、他方の端子は近接するビット線に接続されていることを特徴とする。

【0021】本発明の実施態様によれば、信号検出回路及び保持回路はビット線毎に設けられている。

【0022】本発明の実施態様によれば、信号検出回路はセンスアンプを含み、センスアンプの2つの入力端子の一方に初期化状態におけるビット線の電位を入力し、他方に反転後のビット線の電位を入力し、2つの入力端子の電位を比較することで情報を検出する。

【0023】本発明の実施態様によれば、保持回路はコンデンサであり、センスアンプの2つの入力端子のうちの少なくとも初期化状態におけるビット線の電位が入力される方ど接地電位との間に設けられている。

【0024】したがって、コンデンサでセンスアンプの入力を安定させることができるので、情報をより正確に読み取ることができる。

【0025】本発明の実施態様によれば、センスアンプの他方の入力端子と設置電位との間にもコンデンサが設けられている。

【0026】したがって、コンデンサでセンスアンプの他方の入力を安定させることができるので、情報をより正確に読み取ることができる。

【0027】本発明の実施態様によれば、コンデンサの容量は、センスアンプの配線の寄生容量より大きい。

【0028】本発明の実施態様によれば、スイッチング素子は、電界効果トランジスタであり、ゲート端子を制

御端子、ソース端子をスイッチング素子の一方の端子、ドレイン端子をスイッチング素子の他方の端子としている。

【0029】本発明の実施態様によれば、スイッチング素子は薄膜トランジスタである。

【0030】本発明の実施態様によれば、半導体基板はシリコン単結晶基板である。

【0031】本発明の実施態様によれば、非磁性層は、絶縁体である。

【0032】また、非磁性層は、導電体であってもよい。

【0033】本発明の実施態様によれば、磁性体は膜面に対し垂直な磁化を持っている。

【0034】本発明の実施態様によれば、磁性体は膜面に水平な磁化を持っている。

【0035】本発明の実施態様によれば、ワード線に平行に設けられた複数の書き込み線を有し、磁界発生手段は書き込み線に電流を流すことにより所望の可変抵抗器に対して磁界を印加する。

【0036】

【発明の実施の形態】本発明の実施の形態について図面を参照して詳細に説明する。

【0037】図1は、本発明の一実施形態の強磁性体メモリの構成を示す回路構成図である。

【0038】本実施形態の強磁性体メモリは、 $3 \times 3$ のマトリクス状に配置されたメモリセルC11, C12, C13, C21, C22, C23, C31, C32, C33と、ワード線WL1, 2, 3と、ビット線BL1, 2, 3と、書き込み線WriteL1, 2, 3と、電界効果型トランジスタTWL1, 2, 3, TWL1', 2', 3', Tb1, 2, 3, Tb10, 20, 30, Tb11, 21, 31と、センスアンプSA1, 2, 3を有している。

【0039】ビット線BL1, 2, 3は互いに平行に配置されている。

【0040】ワード線WL1, 2, 3は互いに平行であり、ビット線BL1, 2, 3と交差して配置されている。

【0041】書き込み線WriteL1, 2, 3は、ワード線WL1, 2, 3と同様に、互いに平行でありビット線BL1, 2, 3と交差して配置されている。

【0042】メモリセルC11は、電界効果型トランジスタT11と、強磁性体の磁化方向を選択することにより電気抵抗値を可変とした可変抵抗器として機能するTMR素子r11とを有しており、電界効果型トランジスタT11のドレインとTMR素子r11の一方の端子が接続されている。

【0043】同様に、メモリセルC12, C13, C21, C22, C23, C31, C32, C33は、電界効果型トランジスタT12, T13, T21, T22,

T23, T31, T32, T33と、対応するTMR素子r12, r13, r21, r22, r23, r31, r32, r33とがそれぞれ接続された構成である。

【0044】電界効果型トランジスタT11, T21, T31のゲート端子はワード線WL1に接続されており、ソース端子は接地されている。同様に、電界効果型トランジスタT12, T22, T32のゲート端子はワード線WL2に接続され、電界効果型トランジスタT13, T23, T33のゲート端子はワード線WL3に接続されており、ソース端子は接地されている。

【0045】また、TMR素子r11, r12, r13の他方の端子はビット線BL1に接続されている。同様に、TMR素子r21, r22, r23の他方の端子はビット線BL2に接続され、TMR素子r31, r32, r33の他方の端子はビット線BL3に接続されている。

【0046】電界効果型トランジスタTWL1, 2, 3, TWL1', 2', 3'はスイッチング素子であり、対応する電界効果型トランジスタ同士（例えば、TWL1とTWL1'）が同時にオンすると対応する書き込み線（例えば、WriteL1）に電流が流れる。

【0047】電界効果型トランジスタTb1, 2, 3は、オンするとそれぞれ対応するビット線BL1, 2, 3に電圧V<sub>DD</sub>を印加するスイッチング素子である。

【0048】電界効果型トランジスタTb10, 20, 30は、オンするとそれぞれ対応するセンスアンプSA1, SA2, SA3の一方の入力端子にビット線BL1, 2, 3の電圧レベルを入力するスイッチング素子である。

【0049】電界効果型トランジスタTb11, 21, 31は、オンするとそれぞれ対応するセンスアンプSA1, SA2, SA3の他方の入力端子にビット線BL1, 2, 3の電圧レベルを入力するスイッチング素子である。

【0050】センスアンプSA1, SA2, SA3は、2つの入力電圧のレベルを比較した結果により“1”または“0”を出力する信号検出回路である。

【0051】なお、各センスアンプの各入力端子と電界効果型トランジスタTb10, 11, 20, 21, 30, 31の間には、図8で示すように入力電圧レベルを保持する、センスアンプSA1, SA2, SA3の配線の寄生容量より大きな容量のコンデンサが設けられている。このコンデンサの機能は2つあり、ひとつは後述される読み出し動作において、ソフト層の磁化の反転前後の入力電圧レベルをセンスアンプSA1, SA2, SA3で比較可能とするために反転前の入力電圧レベルを反転後の入力電圧レベルが検出されるまで保持する機能である。2つめは、センスアンプSA1, SA2, SA3の入力電位を配線の寄生容量に比較して大きな容量で保持することにより、センスアンプ駆動時などに発生する

ノイズの影響を受けにくくし、ノイズに強い読み出しを可能とする機能である。また、このコンデンサはセンスアンプSA1, SA2, SA3の各入力端子のうち、ソフト層の磁化の反転前の電圧レベルが入力される入力端子側だけに設けられていても構わない。

【0052】強磁性体メモリへの情報の書き込みは、所望のビット線および書き込み線の両方に電流を流すことで行われる。また、読み出しは、センスアンプに接続されたペアの電界効果トランジスタ（例えば、Tb10とTb11）を切り替えてオンして、そのときのビット線の電圧変動をセンスアンプで検知することで行われる。

【0053】これらの回路は半導体基板上に形成されている。

【0054】図2は、水平磁化（a）および垂直磁化（b）の場合のTMR素子の磁化の一例を説明するための説明図である。水平磁化とは強磁性体膜面に対して水平に磁化することをいい、垂直磁化とは強磁性体膜面に対して垂直に磁化することをいう。そして何れの場合も、強磁性体膜の磁化は配線に流れる電流によって誘起された磁場によって反転する。本実施形態では水平磁化あるいは垂直磁化のいずれを用いてもよい。

【0055】図2を参照すると、TMR素子は水平磁化、垂直磁化のいずれの場合でも、大きな保磁力を持つ強磁性体膜（ハード層）16と、それより小さい保磁力を持つ強磁性体膜（ソフト層）18によってトンネル絶縁膜17が挟まれた構造であり、ハード層16とソフト層17の磁化方向が平行かつ同一方向である場合（以下、平行と称する）と、平行かつ反対方向である場合（以下、反平行と称する）とで流れるトンネル電流量が大きく異なり、TMR素子の抵抗値が異なる。

【0056】記憶を保持するための層としてはハード層16が用られる。記憶した情報を書き換えるときはハード層16の磁化方向を変更する。このため、情報の書き換えには比較的大きな外部磁場を必要とし、本実施形態では書き込み線（WriteL）とビット線（BL）両方に書き込み電流を流し、その交点における合成磁場によりハード層16の磁化方向を決定する。一方、ソフト層17は保磁力が小さく、情報の記憶を長時間に渡り保証できなくてもよく、読み出し動作時に比較的小さな外部磁場により磁化が反転する。読み出し時にソフト層17の磁化を反転させてもハード層16の磁化は反転しない。

【0057】例えば、ハード層16およびソフト層17の強磁性体膜には金属材料や合金などが用いられ、トンネル絶縁膜18にはAl<sub>2</sub>O<sub>3</sub>のような酸化物絶縁材料が用いられることが多い。一般に、TMR素子は反平行のとき抵抗値が大きく、平行のとき抵抗値が小さい。

【0058】水平磁化（図2（a））の場合、図3のように書き込み配線9をTMR素子12の下に配置し、書き込み電流により誘起された磁場がTMR素子12に対

して水平となるようにする。

【0059】これに対して、垂直磁化（図2（b））の場合は、TMR素子に書き込み磁場を垂直にかけねばならないため、TMR素子の横に書き込み配線を配置する構造となる。

【0060】本発明における電界効果型トランジスタはスイッチング素子の一例であり、スイッチング回路は回路のオン、オフを電気信号により選択できる素子であり、電界効果型トランジスタの他に薄膜トランジスタ（TFT；Thin Film Transistor）などが使用可能である。

【0061】本実施形態における半導体基板は、例えば、シリコン、ゲルマニウム、ガリウム、インジウム、ダイヤモンドなど半導体特性を持つ材料を主原料とし、これらを単体または混合、結晶化、不純物混入するなどをしたものである。

【0062】次に、本実施形態の強磁性体メモリの動作について説明する。

【0063】まず、一例としてTMR素子r22に情報を書き込む場合の動作について説明する。

【0064】図4に示すように、書き込み線WriteL2とビット線BL2に電流を流し、誘起された磁場によってTMR素子r22のハード層の磁化方向が決まる。このハード層の磁化の方向によって“1”または“0”の情報がTMR素子r22に記憶される。

【0065】次に、TMR素子r22に書き込まれた情報を読み出すときの動作について説明する。

【0066】まず、図5（a）に示すように、書き込み線WriteL2に電流を流し、所定の方向にソフト層を磁化させる。これによりソフト層の磁化方向は初期化されるが、書き込み時に比べて磁場が小さいためハード層の磁化方向は変化しない。ここでは一例として、初期化された状態においてTMR素子r22の磁化状態が反平行であり、抵抗が大きい状態であるとする。

【0067】次に、図5（b）に示すように、ワード線WL2の電圧を上げて電界効果型トランジスタT22をオンし、電界効果型トランジスタTb2をオンし、BL2を経由してTMR素子r22に電流を流す。このとき、電界効果型トランジスタTb20をオンしてセンスアンプSA2の一方の端子に電圧を入力し、コンデンサで電位を保持する。この操作でビット線BL2上のA点の電圧がセンスアンプSA2の一方の端子に入力される。このときビット線BL2に接続された他のTMR素子r21、r23に電流が流れないようにワード線WL1、WL3を接地する。

【0068】次に、図6（c）に示すように、書き込み線WriteL2に初期化の際（図5（a））とは逆方向に電流を流し、ソフト層の磁化方向を反転させる。この結果、TMR素子r22は平行に磁化されたことになり、抵抗値は小さくなる。

【0069】次に、図6（d）に示すように、ワード線WL2の電圧を上げて電界効果型トランジスタT22をオンし、電界効果型トランジスタTb2をオンして、ビット線BL2を経由してTMR素子r22に電流を流す。このとき図5（b）と異なり、Tb21をオンにしてセンスアンプSA2の他方の端子に電圧を入力し、コンデンサで電位を保持する。この操作でビット線BL2上のA点の電圧がセンスアンプSA2の他方の入力端子に入力される。

【0070】この結果センスアンプSA2は、一方の入力端子（Tb2側）に比べて他方の入力端子（Tb20側）に高い電圧が入力されることとなり、両者の電圧を比較した結果、例えば“1”を出力する。

【0071】図7は、本実施形態の強磁性体メモリの上記した情報の読み出し動作を示すタイミングチャートである。

【0072】図7を参照すると、ワード線WL1～WL3の電位変化、電界効果型トランジスタTb20、21のゲート電極電位およびA点の電位変化が示されている。電界効果トランジスタTb20、21はそれぞれのゲート電極電位が“Hi”のときにオン状態となる。また、磁化反転前後のA点の電圧差ΔVがセンスアンプSA2が検知すべき信号となる。ここでは、センスアンプSA2は電圧差ΔVを検出して“1”を出力するが、ハード層に記憶された磁化方向が上記とは逆方向であった場合、A点の信号は点線のようになりセンスアンプSA2の出力は“0”となる。

【0073】すなわち、本実施形態における読み出し動作は、ソフト層の強磁性体の磁化方向が反転する前のA点の電位を保持し、その電位と反転した後のA点の電位を比較することで、磁化方向が反転する前後の磁気抵抗値を得るという動作を含む点に特徴の一つがある。そのためにソフト層の磁化方向をあらかじめ確定しておくことが望ましく、読み出し動作のはじめに、ソフト層の磁化方向を特定の方向に初期化している。

【0074】図8には上述したコンデンサの具体的な配置を示す。コンデンサは、センスアンプSA1、2、3の各入力端子と接地電位の間に配置され、ソフト層17の磁化方向が反転する前後のA点の電位により充電される。

【0075】本実施形態における読み出し動作によれば、ソフト層の磁化方向を反転させて可変抵抗器の電気抵抗値を変化させ、保持された反転前のA点の電位（抵抗値）と反転後のA点の電位（抵抗値）の差からハード層に記憶された情報を読み取るので、記憶された情報を保持したままで正確に読み取ることができ、読み出し動作の後に再書き込みを行う必要がない。また、ノイズに強い読み出しが可能となる。したがって、簡単な構造と動作で正確に情報を読み出すことが可能となる。これは本発明の大きな特徴の一つである。



【0076】次に、本実施形態の強磁性体メモリの具体例を示す。

(第1の具体例) 第1の具体例では、トンネル絶縁膜を2つの強磁性体薄膜で挟んだ構造をもつTMR素子を、強磁性体の磁化方向を変更可能に選択することで電気抵抗値を可変とした可変抵抗器として用いたものである。

【0077】ここでは可変抵抗器(TMR層)は保磁力の大きいハード層と、それよりも保磁力の小さいソフト層によってトンネル絶縁膜を挟んだ構造であり、図3

(a)のように水平磁化するものである。TMR層はハード層とソフト層の磁化方向が平行の場合と反平行の場合で抵抗値が異なる。そして、この磁化方向は外部から磁場を与えない限り持続されるため不揮発性メモリを実現できる。

【0078】まず、第1の具体例のメモリの試作工程について説明する。

【0079】図9に示すように、p型シリコン基板19上に、SiO<sub>2</sub>からなる埋め込み型素子分離領域33と、スイッチング素子として機能する電界効果型トランジスタのドレインおよびソースとなるn型拡散領域21およびn型拡散領域20、SiO<sub>2</sub>ゲート絶縁膜22とポリシリコンゲート電極23を形成する。

【0080】また、Co/Al<sub>2</sub>O<sub>3</sub>/NiFeの積層構造のTMR層30を用い、これをTiNローカル配線28を介して、電界効果型トランジスタのドレインに接続するとともに、Ti/AlSiCu/Tiで構成されたビット線31に接続する。

【0081】なお、TMR層30を水平磁化させるために書き込み線27はTMR層30の下部に設けられている。

【0082】このような構造のメモリを0.5μmルール(最小可能寸法が0.5μm)で設計し、3×3個のセルを有するテストサンプルをマトリクス状に作製した。

【0083】また、センスアンプSA1, 2, 3を周辺回路として作製した。センスアンプSA1, 2, 3の入力端子と接地電位の間には5pF程度のコンデンサを接続した。

【0084】外部から0V、3.3Vのパルス信号を入力し、差動動作させた結果、ビット線に約±20mVの電位差(図7のΔVに相当する)が観測された。このことから、正常に読み出し動作が行われたことを確認できた。また、ビット線と書き込み線に書き込み電流を流すことで、読み出し動作を行うとΔVで示される符号が変化し、正常に書き込み動作が行われたことを確認できた。

(第2の具体例) 第1の具体例と同様な試作工程により、図10に示すようなメモリセルを試作した。第1の具体例と異なる点は、GdFe/Co/Al<sub>2</sub>O<sub>3</sub>/Co/GdFe積層膜からなるTMR層34が形成されてお

り、書き込み線27をTMR層34の横に設けて垂直磁化させる構造を採った点である。

【0085】このメモリセルについて、第1の具体例と同様の動作試験を行った結果、読み出し、書き込みとも正常に動作することが確認できた。

【0086】

【発明の効果】本発明によれば、記憶された情報を保持したままで正確に読み取ることができ、小さいセル面積の1T1R型MRAMにおいて、安定的に情報を読み出すことができる。

【図面の簡単な説明】

【図1】本発明の一実施形態の強磁性体メモリの構成を示す回路構成図である。

【図2】水平磁化(a)および垂直磁化(b)の場合のTMR素子の磁化の一例を説明するための説明図である。

【図3】書き込み配線をTMR素子の下に配置したメモリ構造の一例を示す断面図である。

【図4】本実施形態における書き込み動作を説明するための説明図である。

【図5】書き込み線に電流を流して所定方向にソフト層を磁化させる動作(a)およびワード線の電界効果型トランジスタとビット線の電界効果型トランジスタをオンしてTMR素子に電流を流す動作(b)を説明するための説明図である。

【図6】ソフト層の磁化方向を反転させる動作(c)およびワード線の電界効果型トランジスタとビット線の電界効果型トランジスタをオンしてTMR素子に電流を流す動作(d)を説明するための説明図。

【図7】本実施形態の強磁性体メモリの読み出し動作を示すタイミングチャートである。

【図8】センスアンプの入力端子に充電用のコンデンサを設けた場合の構成を示す回路図である。

【図9】第1の具体例のメモリ構造を示す断面図である。

【図10】第2の具体例のメモリ構造を示す断面図である。

【符号の説明】

- |    |           |
|----|-----------|
| 1  | 半導体基板     |
| 2  | ソース       |
| 3  | ドレイン      |
| 4  | ゲート絶縁膜    |
| 5  | ゲート電極     |
| 6  | コンタクトプラグ  |
| 7  | コンタクトプラグ  |
| 8  | 接地線       |
| 9  | 書き込み配線    |
| 10 | ローカル配線    |
| 11 | 可変抵抗器下部電極 |
| 12 | 可変抵抗器     |



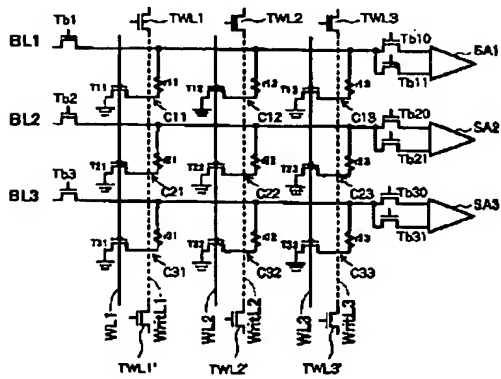
13

14

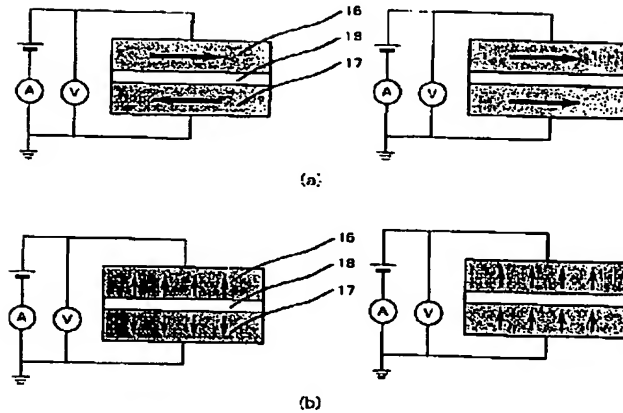
- 13 ビット線
- 14 保護絶縁膜
- 15 素子分離領域
- 16 ハード層
- 17 ソフト層
- 18 トンネル絶縁膜
- 19 p型シリコン基板
- 20 n型拡散領域
- 21 n型拡散領域
- 22 SiO<sub>2</sub>ゲート絶縁膜
- 23 ポリシリコンゲート電極

- 24 タングステンプラグ
- 25 タングステンプラグ
- 26 AlSiCu接地線
- 27 書き込み配線
- 28 TiNローカル配線
- 29 AlSiCu下部電極層
- 30 TMR層
- 31 ビット線
- 32 SiN/SiO<sub>2</sub>保護層
- 10 33 素子分離領域
- 34 TMR層

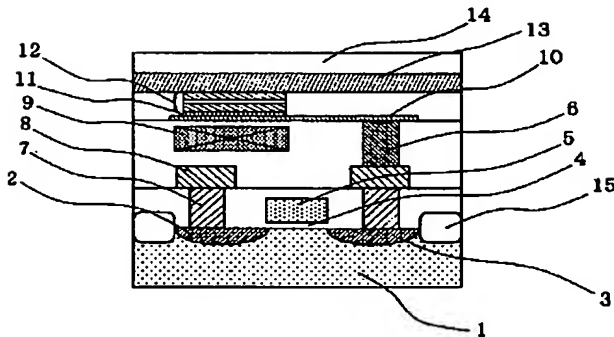
【図1】



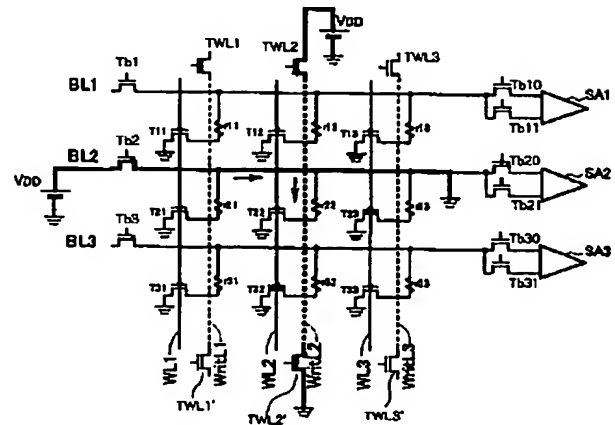
【図2】



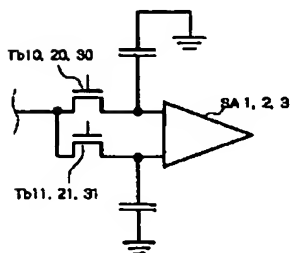
【図3】



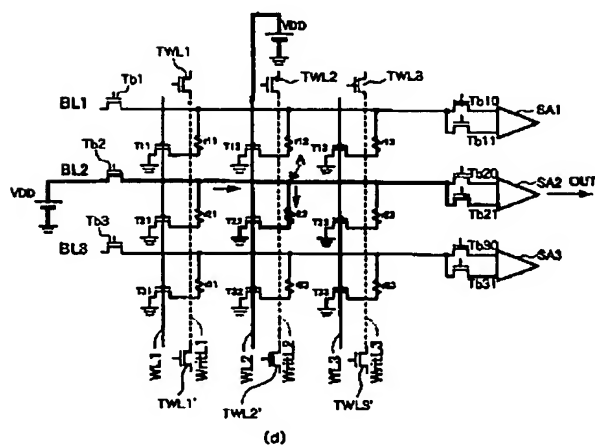
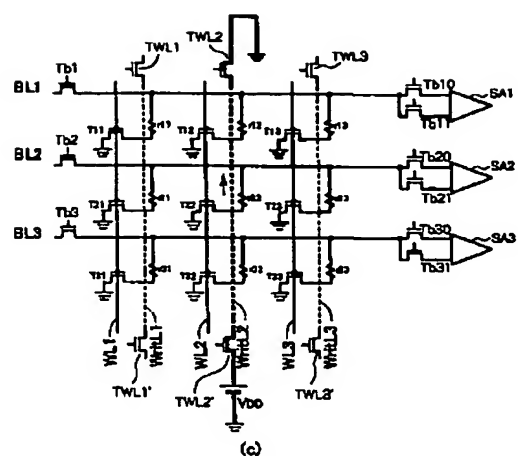
【図4】



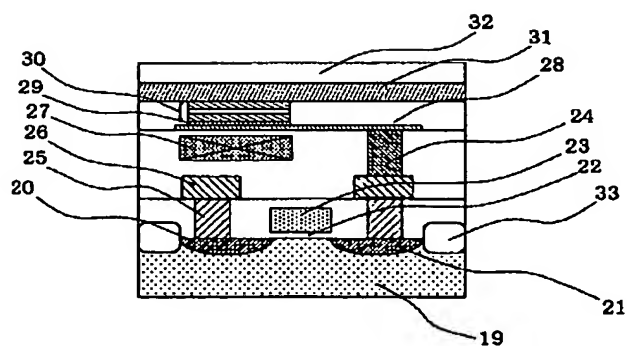
【図8】



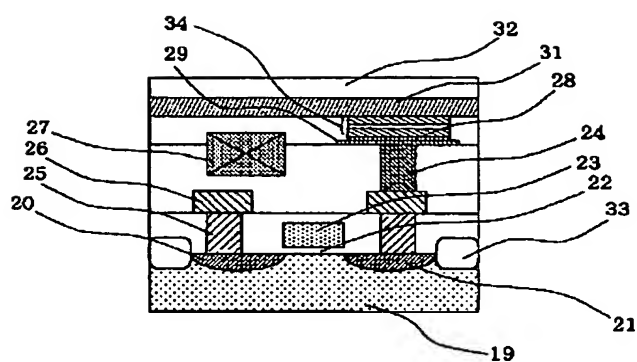
【图 6】



【図 9】



【図 10】



---

フロントページの続き(51) Int. Cl.<sup>7</sup>

H01L 43/08

識別記号

FI

H01L 27/10

テーマコード\* (参考)

447